

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095055
(43)Date of publication of application : 09.04.1999

(51)Int. Cl. G02B 6/13

(21)Application number : 10-210937 (71)Applicant : SAMSUNG ELECTRON CO LTD
(22)Date of filing : 27.07.1998 (72)Inventor : RI TAIKO
RI KEISAI
YU HEIKEN

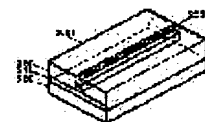
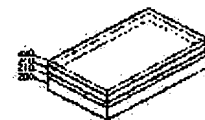
(30)Priority
Priority number : 97 9735589 Priority date : 28.07.1997 Priority country : KR

(54) MANUFACTURE OF OPTICAL WAVEGUIDE ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an exposed degree of an optical waveguide in a process to the minimum in manufacturing of the waveguide, and reduce damage applied to the waveguide in the case of manufacturing an optical waveguide element requiring no external bias such as an electrode.

SOLUTION: This manufacturing method is constituted of (a) a step for forming a lower buffer layer 210 on a substrate 200, (b) a step for forming on the lower buffer layer 210 an optical waveguide layer 240 having an refractive index larger than that of the lower buffer layer 210, (c) a step for forming on the optical waveguide layer 240 an upper buffer layer 220 having an refractive index smaller than that of the layer 240, (d) a step for forming a prescribed optical waveguide pattern 250 on the upper buffer layer 220, (e) a step for etching the upper buffer layer 220 and the optical waveguide layer 240 by the optical waveguide pattern 250, and (f) a step for forming on the etched resulting object a buffer layer 260 same to the upper buffer layer 220.



LEGAL STATUS

[Date of request for examination] 27.07.1998
[Date of sending the examiner's decision of rejection] 21.03.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]
[Date of final disposal for
application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-95055

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

G 0 2 B 6/13

識別記号

F I

G 0 2 B 6/12

M

審査請求 有 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願平10-210937

(22) 出願日 平成10年(1998) 7月27日

(31) 優先権主張番号 1997-35589

(32) 優先日 1997年7月28日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 泰 衡

大韓民国京畿道城南市盆唐区新基洞121番

地常緑マウル宇成アパート315棟1202号

(72) 発明者 李 炯 宰

大韓民国京畿道龍仁市器興邑新葛里14-4

番地新美州アパート191棟1701号

(72) 発明者 俞 炳 權

大韓民国大田広域市中区山城洞37-1番地

宇成アパート109棟705号

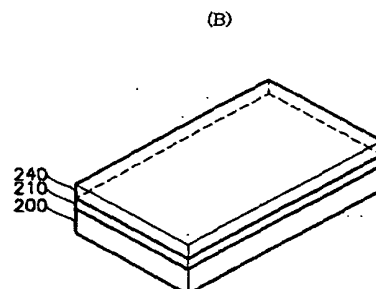
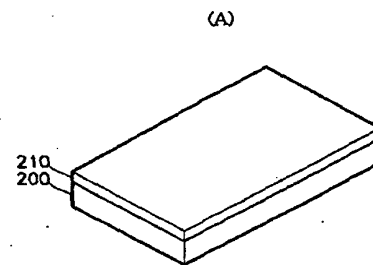
(74) 代理人 弁理士 三好 秀和 (外1名)

(54) 【発明の名称】 光導波路素子の製造方法

(57) 【要約】

【課題】 光導波路素子のうち電極などの外部バイアスが不要である導波路素子を製造する場合、導波路の製造時に当該導波路が工程中に露出する度合いを最小限にでき、且つ工程過程において導波路に与える被害を軽減することにある。

【解決手段】 (a) 基板200上に下部緩衝層210を形成する段階と、 (b) 前記下部緩衝層210上に当該下部緩衝層210より屈折率の大きい光導波路層240を形成する段階と、 (c) 前記光導波路層240上に当該光導波路層240より屈折率の小さい上部緩衝層を形成する段階と、 (d) 所定の光導波路パターンを前記上部緩衝層上に形成する段階と、 (e) 前記上部緩衝層及び光導波路層を前記光導波路パターンにより食刻する段階と、 (f) 前記食刻された結果物上に前記上部緩衝層と同様の緩衝層を形成する段階とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 (a) 基板上に下部緩衝層を形成する段階と、

(b) 前記下部緩衝層上に当該下部緩衝層より屈折率の大きい光導波路層を形成する段階と、

(c) 前記光導波路層上に当該光導波路層より屈折率の小さい上部緩衝層を形成する段階と、

(d) 所定の光導波路パターンを前記上部緩衝層上に形成する段階と、

(e) 前記上部緩衝層及び光導波路層を前記光導波路パターンにより食刻する段階と、

(f) 前記食刻された結果物上に前記上部緩衝層と同様の緩衝層を形成する段階と、
を有することを特徴とする光導波路素子の製造方法。

【請求項2】 前記下部緩衝層は、前記基板と同様の材質であることを特徴とする請求項1に記載の光導波路素子の製造方法。

【請求項3】 前記下部緩衝層、光導波路層及び上部緩衝層の材質は、使用する波長帯における光学的な損失特性が良好な低損失の光学高分子であることを特徴とする請求項1または請求項2のいずれかに記載の光導波路素子の製造方法。

【請求項4】 前記下部緩衝層、光導波路層及び上部緩衝層は、スピンコート工程により蒸着されることを特徴とする請求項3に記載の光導波路素子の製造方法。

【請求項5】 前記下部緩衝層、光導波路層及び上部緩衝層は、蒸着工程後、膜質を良好にするための熱処理工程をさらに有することを特徴とする請求項4に記載の光導波路素子の製造方法。

【請求項6】 前記(d)段階は、

(d1) 前記上部緩衝層上に、前記光導波路層よりも強い乾式食刻耐性を有する物質の薄膜を形成する段階と、

(d2) フォトリソを前記形成された薄膜上に塗布する段階と、

(d3) 光導波路にパターンの描かれたフォトマスクを前記結果物に整列し、前記フォトリソに選択的にUV光線(紫外線)を照射する段階と、

(d4) 前記フォトリソを現像液に浸漬して現像を行い、フォトリソパターンを形成する段階と、

(d5) 前記フォトリソパターンを乾式食刻し、マスクングパターンを形成する段階と、

を有することを特徴とする請求項1に記載の光導波路素子の製造方法。

【請求項7】 前記(d1)段階の光導波路層よりも強い乾式食刻耐性を有する物質の薄膜は、ポリマー、金属薄膜、シリカ薄膜、シリコン薄膜のうちいずれか一つであることを特徴とする請求項6に記載の光導波路素子の製造方法。

【請求項8】 前記(d)段階は、

(d1) 前記上部緩衝層上にフォトリソを塗布する段

階と、

(d2) 所定の光導波路パターンが描かれたフォトマスクを前記結果物に整列し、前記フォトリソに選択的にUV光線(紫外線)を照射する段階と、

(d3) 前記フォトリソを現像液に浸漬して現像を行い、フォトリソパターンを形成する段階と、

(d4) 金属薄膜を前記形成されたフォトリソパターン及び上部緩衝層上に蒸着する段階と、

(d5) 前記結果物を有機溶媒に入れてリフトオフし、マスクングパターンを形成する段階と、

を有することを特徴とする請求項1に記載の光導波路素子の製造方法。

【請求項9】 前記(d4)段階の金属薄膜は、クロムから形成されることを特徴とする請求項8に記載の光導波路素子の製造方法。

【請求項10】 前記(e)段階は、前記下部緩衝層の一部または全部の領域にわたり食刻することを特徴とする請求項1に記載の光導波路素子の製造方法。

【請求項11】 前記(f)段階の食刻後の緩衝層の形成は、スピンコートまたは浸漬によりなされることを特徴とする請求項1に記載の光導波路素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光導波路素子の製造方法(fabrication method)に係り、特に、電極などの外部バイアス(bias)が不要になる光導波路素子を製造する際に既存の方法を応用して容易に製造する光導波路素子の製造方法に関する。

【0002】

【従来の技術】従来より平面導波路技術(Planar Waveguide Technology)を利用して平面基板上に各種の光導波路素子が製造されてきており、該機能を一層集積化しようとする研究がなされてきた。通常、利用される光導波路素子の製造技術は、半導体の製造技術あるいはMEMS(Micro Electro Mechanical System)技術を活かした技術であった。

【0003】前記光導波路素子を製造する従来の方法は以下の通りである。図4(A)ないし図6(B)は、従来の光導波路素子の製造工程を説明するための過程を示すものである。まず、図4(A)に示すように、平面基板100上に下部緩衝層(Cladding)110を蒸着し、図4(B)に示すように、導波路を構成するコア層140を蒸着する。次に、図5(A)に示すように、前記コア層140上に導波路パターンのためのマスクングを行い、露光(Photolithography)及び食刻(Etching)工程を施すことによりマスクングパターン150を形成する。更に、図5(B)に示すように、前記コア層140を食刻して導波路130を形成する。ここで、符号170は食刻された部位を示す。前記導波路130を形成してからは、図6(A)に示すように、前記マスクングパターン150を除去する工程を経て、図6(B)に示すように、

上部緩衝層160を覆い、光導波路素子の製造を仕上げる。

【0004】

【発明が解決しようとする課題】詳述した既存の光導波路素子の製造方法は工程の観点からは問題はなく、今までにも使用されてきた方法である。しかし、電気信号や熱などの外部バイアス無しに作動できる素子に関しては、前記方法による工程手順をそのまま従わなくても素子の製造が十分可能である。さらに、導波路の製造時に当該導波路が工程中に露出する度合いが大きいことから、工程過程において当該導波路に被害を与えるおそれがあった。

【0005】本発明は、このような従来の課題に鑑みてなされたものであり、その目的は、光導波路素子のうち電極などの外部バイアスが不要である導波路素子を製造する場合、導波路の製造時に当該導波路が工程中に露出する度合いを最小限にでき、且つ工程過程において導波路に与える被害を軽減できるとともに、導波路素子の製造後、外部ストレス除去のための別途の工程を要しない光導波路素子の製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の第1の発明による光導波路素子の製造方法は、(a)基板上に下部緩衝層を形成する段階と、(b)前記下部緩衝層上に当該下部緩衝層より屈折率の大きい光導波路層を形成する段階と、(c)前記光導波路層上に当該光導波路層より屈折率の小さい上部緩衝層を形成する段階と、(d)所定の光導波路パターンを前記上部緩衝層上に形成する段階と、(e)前記上部緩衝層及び光導波路層を前記光導波路パターンにより食刻する段階と、(f)前記食刻された結果物上に前記上部緩衝層と同様の緩衝層を形成する段階とを有することを要旨とする。従って、光導波路素子のうち電極などの外部バイアスが不要である導波路素子を製造する場合、導波路の製造時に当該導波路が工程中に露出する度合いを最小限にでき、且つ工程過程において導波路に与える被害を軽減できるとともに、導波路素子の製造後、外部ストレス除去のための別途の工程を要しない。

【0007】請求項2記載の第2の発明は、前記下部緩衝層は、前記基板と同様の材質であることを要旨とする。

【0008】請求項3記載の第3の発明は、前記下部緩衝層、光導波路層及び上部緩衝層の材質は、使用する波長帯における光学的な損失特性が良好な低損失の光学高分子であることを要旨とする。

【0009】請求項4記載の第4の発明は、前記下部緩衝層、光導波路層及び上部緩衝層は、スピコート工程により蒸着されることを要旨とする。

【0010】請求項5記載の第5の発明は、前記下部緩衝層、光導波路層及び上部緩衝層は、蒸着工程後、膜質

を良好にするための熱処理工程をさらに有することを要旨とする。

【0011】請求項6記載の第6の発明は、前記(d)段階は、(d1)前記上部緩衝層上に、前記光導波路層よりも強い乾式食刻耐性を有する物質の薄膜を形成する段階と、(d2)フォトレジストを前記形成された薄膜上に塗布する段階と、(d3)光導波路にパターンの描かれたフォトリソマスクを前記結果物に整列し、前記フォトレジストに選択的にUV光線(紫外線)を照射する段階と、(d4)前記フォトレジストを現像液に浸漬して現像を行い、フォトリソマスクパターンを形成する段階と、(d5)前記フォトリソマスクパターンを乾式食刻し、マスクングパターンを形成する段階とを有することを要旨とする。

【0012】請求項7記載の第7の発明は、前記(d1)段階の光導波路層よりも強い乾式食刻耐性を有する物質の薄膜は、ポリマー、金属薄膜、シリカ薄膜、シリコン薄膜のうちいずれか一つであることを要旨とする。

【0013】請求項8記載の第8の発明は、前記(d)段階は、(d1)前記上部緩衝層上にフォトレジストを塗布する段階と、(d2)所定の光導波路パターンが描かれたフォトリソマスクを前記結果物に整列し、前記フォトレジストに選択的にUV光線(紫外線)を照射する段階と、(d3)前記フォトレジストを現像液に浸漬して現像を行い、フォトリソマスクパターンを形成する段階と、(d4)金属薄膜を前記形成されたフォトレジストパターン及び上部緩衝層上に蒸着する段階と、(d5)前記結果物を有機溶媒に入れてリフトオフし、マスクングパターンを形成する段階とを有することを要旨とする。

【0014】請求項9記載の第9の発明は、前記(d4)段階の金属薄膜は、クロムから形成されることを要旨とする。

【0015】請求項10記載の第10の発明は、前記(e)段階は、前記下部緩衝層の一部または全部の領域にわたり食刻することを要旨とする。

【0016】請求項11記載の第11の発明は、前記(f)段階の食刻後の緩衝層の形成は、スピコートまたは浸漬によりなされることを要旨とする。

【0017】

【発明の実施の形態】以下、添付図面に基いて本発明の好適な実施の形態につきさらに詳細に説明する。本発明において使用する導波路を製造しようとする光学高分子は、使用される光学波長帯において低損失(Low Propagation Loss)を有することを特徴とする光学高分子である。前記光学高分子のうち一つは緩衝層と比較して屈折率の差が略0.3%(Δn)程大きい物質であって、導波路用高分子として使用する。この光学高分子を用いて本発明による光導波路素子を構成する製造方法は以下の通りである。

【0018】まず、図1(A)に示すように、基板はシリコンウェーハ(Si Wafer)や硝子など表面の平坦性が良好

な平面基板200を用いる。前記平面基板200の表面に下部緩衝層 (Lower Clad) 210を形成(重合)する。前記下部緩衝層210の物質は導波路として使用する物質よりも屈折率が小さく、使用する波長において光透明性を有する物質である。前記下部緩衝層210は半導体工程のスピンコート法(スピンコータ法)を用いて蒸着する。前記下部緩衝層210を有効に運用するには約 $20\mu\text{m}$ の厚さが必要とされる。蒸着後、熱処理により膜質を良好にする。そして、前記下部緩衝層210は前記平面基板200と同様な材質を使用することも可能である。

【0019】次の工程は図1(B)に示すように、コア層240を形成(重合)するために、前記下部緩衝層210の物質よりも屈折率が約0.3% (Δn) 程大きい導波路用低損失光学高分子を、前記下部緩衝層210上にスピンコートして蒸着する。蒸着後、熱処理工程により膜質を良好にする。なお、コア層240の厚さは約 $7\mu\text{m}$ である。

【0020】次の工程は、図2(A)に示すように、前記形成されたコア層240上に前記下部緩衝層210を形成するときに使用した光学高分子を用い、上部緩衝層220をスピンコートにより形成する。前記上部緩衝層220の最適厚さは約 $20\mu\text{m}$ 内外である。図2(A)は本発明の好適な一実施の形態による平面基板200上に形成された下部緩衝層210と、当該下部緩衝層210の物質よりも屈折率が大きいコア層240とを重合させ、上部緩衝層220などの三つの層が重合された構造を示す。

【0021】図2(B)は導波路パターンを製作するためのマスキングパターン250を形成した図である。マスキングのための物質としてはポリマー、金属薄膜、シリカ薄膜、またはシリコン薄膜などコア層240よりも乾式食刻耐性が高い物質を使用するか、それともリフトオフ工程のためのクロム (Cr) などの金属薄膜を使用する。

【0022】図2(B)に示すようにマスキングパターン250を乾式食刻により形成する工程について説明すれば以下の通りである。まず、光学高分子の上部緩衝層220上にスパッタリング、E-ビーム (E-beam)、または熱蒸発 (Thermal Evaporation) などの真空蒸着法により約 $300\sim 500\text{\AA}$ のシリカ薄膜を形成する。次に、フォトリソスト (Photoresist: 以下、PRという。) をスピンコート法 (スピンコータ法) により塗布した後、パターンの描かれたフォトマスクを基板に整列し、PRに選択的(例えば、パターンの描かれたフォトマスク部位またはパターンの描かれたフォトマスク部位以外の部位に)にUV光線(紫外線)を照射する。この工程が終わると、PRを現像液に浸漬し現像を行ないPRパターンを形成した後、乾式食刻によりPRパターンに沿ってマスキングパターン250を形成する。

【0023】一方、前記マスキングパターン250をリフトオフ法により形成する工程について説明すれば以下の通りである。まず、既に形成された上部緩衝層220上にPRをスピンコート法により塗布する、次に、パターンの

描かれたフォトマスクを基板に整列し、PRに選択的(例えば、パターンの描かれたフォトマスク部位またはパターンの描かれたフォトマスク部位以外の部位に)にUV光線を照射する。この工程が終わると、PRを現像液に浸漬して現像を行い、PRパターンを形成した後、スパッタリング、E-ビーム、または熱蒸発などの真空蒸着方法を通じてCr(クロム)などの金属薄膜を蒸着する。次に、アセトン溶液などの有機溶媒などに入れてリフトオフし、導波路用のマスキングパターン250を形成する。

10 【0024】図2(B)の工程の終了後に、垂直食刻工程を通じて上部緩衝層220及びコア層240を食刻する。一例として、真空状態で基板の上部からプラズマを加えると、マスキングパターン250の形成されている部分はプラズマにより食刻されず、マスキングの形成されていない部分はプラズマにより食刻される。食刻時に、導波路230の形成されるコア層240までの正確な食刻深さの調節は必要なく、下部緩衝層210の一部まで食刻しても構わない。図3(A)は導波路パターンを形成するために、下部緩衝層210の一部までを垂直食刻した様子を示す。符号270は食刻部位を示し、符号280は食刻後の下部緩衝層を、符号290は食刻後の上部緩衝層をそれぞれ示す。

【0025】図3(B)は最終の工程であって、図3(A)に示す食刻された結果物上に、緩衝層260を下部緩衝層と同様の高分子をスピンコート、または浸漬 (Dipping) して製作した後熱処理を施して、製造が完了する。この工程においてはマスキングパターン250を除去せずに緩衝層260により覆う。このようにして、導波路に影響を与える外部ストレスを除去できる。

【0026】

30 【発明の効果】以上説明したように、本発明は光導波路素子のうち電極などの外部バイアスが不要である導波路素子を製造する場合、導波路の製造時に当該導波路が工程中に露出する度合いを最小限にでき、且つ工程過程において導波路に与えられる被害を軽減できる。そして、電気信号や熱など外部バイアス無しにも作動可能な素子の製造するためには、本発明による方法を使用するとき工程進行が一層円滑にでき、導波路の製造時に当該導波路が工程中に露出する度合いを最小限にできることから、工程過程において導波路に与える被害を軽減できる。また、導波路素子の製造後、導波路に影響を与える外部ストレスの除去が別途の追加工程なしに可能である。

【図面の簡単な説明】

【図1】本発明の好適な一実施の形態による光導波路素子の製造方法を説明するための製造工程手順図である。

【図2】本発明の好適な一実施の形態による光導波路素子の製造方法を説明するための製造工程手順図である。

【図3】本発明の好適な一実施の形態による光導波路素子の製造方法を説明するための製造工程手順図である。

40 【図4】従来の光導波路素子の製造工程を説明するため

の製造工程手順図である。

【図 5】従来の光導波路素子の製造工程を説明するための製造工程手順図である。

【図 6】従来の光導波路素子の製造工程を説明するための製造工程手順図である。

【符号の説明】

200 平面基板

210 下部緩衝層

220 上部緩衝層

230 導波路

240 コア層

250 マスキングパターン

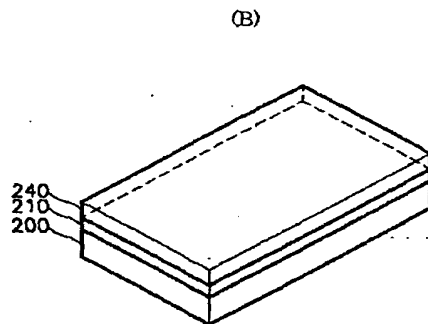
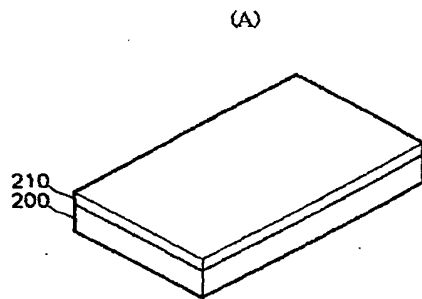
260 緩衝層

270 食刻部位

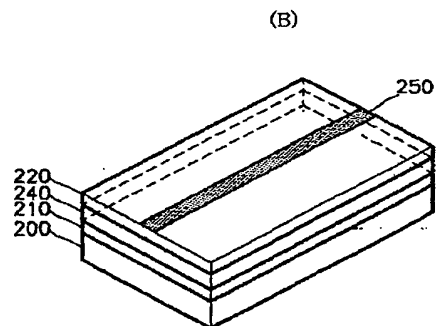
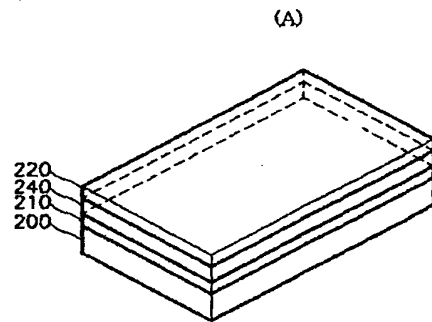
280 食刻後の下部緩衝層

290 食刻後の上部緩衝層

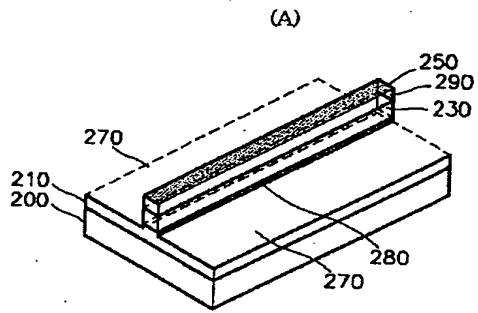
【図 1】



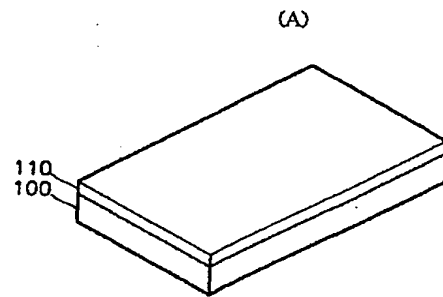
【図 2】



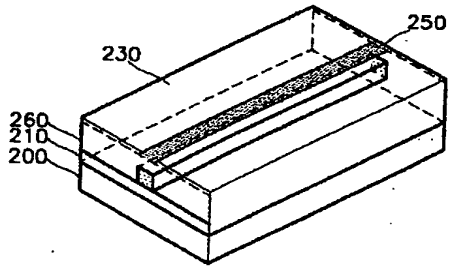
【図 3】



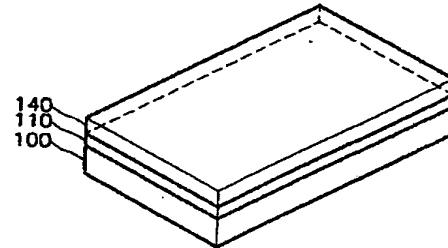
【図 4】



(B)

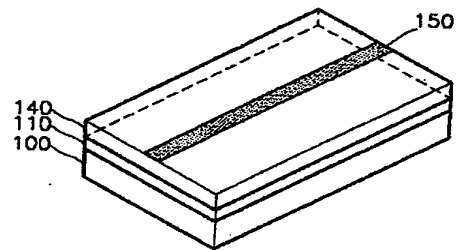


(B)

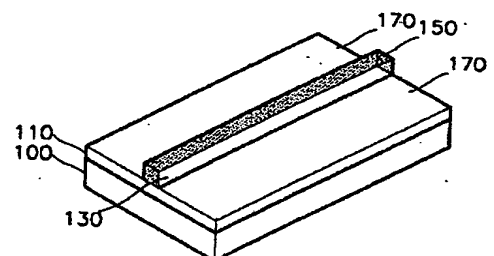


【図 5】

(A)



(B)



【図 6】

